

(11) Japanese Patent Laid-Opened (KOKAI) No. 08-152978

(43) Laid-Opened: June 11, 1996

(21) Filing No. 06-319112

(22) Filing Date: November 29, 1994

5 (71) Applicant: OKI DATA: KK

(72) Inventor: Akira NAGUMO

(74) Attorney: Yukio SATO, et al.

(54) Title of the Invention:

10 PRINTER ENGINE CONTROLLER

(57)[Abstract]

[Object]

To prevent the engine of the printer from
15 restricting the controller

[Constitution]

An arbitrary value can be set at a register 1 by
an engine control section 10. A memory 12 has a
capacity for twice-burst DMA, of which data are read
20 out synchronously with a timing signal outputted by a
data read-out section 3 and supplied to a print head 20
bit by bit through a shift register 13. The timing
signal is outputted after a counter 2 measures the time
corresponding to a register value. When the read-out
25 causes the data stored in the memory 12 to be not more
than once-burst DMA, an engine 200 makes a transmission
request for the next data to the controller section 100.

The time for the controller section 100 to complete data transmission depends upon the capability of the controller section 100. Accordingly, the value set at the register 1 is determined so that development of a
5 timing signal of the data read-out section 3 may meet the completion timing of data transmission.

[Claims]

[Claim 1] A printer engine controller, used for a printer having an engine section for receiving transmission of data for each predetermined amount from
5 a host controller device, writing the transmitted data once into a prescribed memory and printing the data read out of the memory, the printer engine controller comprising:

a register setting a value corresponding to the
10 time from the starting of a data transmission request for the host controller device to the starting of read-out of the transmitted data;

a counter for measuring the time corresponding to a value stored in the register; and

15 a data read-out section for starting read-out of the data from the memory.

[Claim 2] A printer engine controller, used for a printer having an engine section for receiving transmission of data for each predetermined amount from
20 a host controller device, writing the transmitted data once into a prescribed memory and printing the data read out of the memory, the printer engine controller comprising:

a data judgment section for judging whether or not
25 the data to be transmitted from the engine section at a data transmission request for the upper controller device are blank, as well as

a controller section having a transmission interrupting section for interrupting data transmission when the data judgment section judges data to be transmitted to be blank and

- 5 a masking section for masking and blanking the data read out of the memory while data transmission is being interrupted by the transmission interrupting section provided at the controller section.

[Detailed Description of the Invention]

10 [0001]

[Field of the Invention]

The present invention relates to a printer engine controller which executes printing operations, for example, while receiving printing data per line.

15 [Prior Art]

[0002]

Generally, a printer is constituted of an engine section for driving a print head and so forth and a control section for controlling the engine section.

- 20 The engine section includes a FIFO memory and writes a predetermined amount of data transmitted from the controller section at every time into the memory. The data loaded into a shift register from the FIFO memory are shift-outputted bit by bit and supplied to the
- 25 print head for printing, for example, as described at Pages 21 to 26 and 45 to 52 in Oki Denki Research and Development Vol. 55, No. 3.

[Problems to be Solved by the Invention]

[0003]

However, the foregoing prior art has the following problems:

- 5 1) In printing one line with the engine section, the time for the data transmitted by DMA to be used for printing after a DMA request signal is generated at the time of starting main scanning is a predetermined fixed value. Accordingly, designing of the controller
- 10 section must be executed so that DMA response time may be shorter than the printing start time. This causes restrictions on a circuit configuration in the control section.
- 2) For a blank line serving as a printing margin of a
- 15 printer, for example, the data with all bits set at "0" in a storage area of RAM capacity of $2560/8=320$ bites relative to 2560 dots per line must be developed. In other words, the controller section has waste in developing printing data.

- 20 As described above, the engine section has restrictions on the controller section for the engine section to execute the operation smoothly.

[Means for Solving the Problems]

[0004]

- 25 In view of the aforementioned problems, it is an object of the present invention to provide a printer engine controller for a printer which receives a

predetermined amount of data transmitted from a host device at every time, writes the transmitted data once into a prescribed memory and prints the data read out of the memory.

5 (1)

The printer engine controller is constituted of the following (1) and (2):

- 1) a register for setting a value corresponding to the time for read-out of the transmitted data to be
10 started after a data transmission request is started for a host controller;
- 2) a counter for counting the time corresponding to a value registered in the register; and
- 3) a data read-out section for starting the read-out
15 of data from the memory after the time counted by the counter elapses.

[0005]

(2)

- 1) a data judgment section for judging whether or not
20 data to be transmitted is blank at a data transmission request from an engine section in the host controller;
- 2) a transmission interrupting section for stopping data transmission if the data judgment section judges data to be transmitted to be blank; and
- 25 3) the engine section includes a masking section for masking and blanking the data read out of the memory

while the transmission interrupting section is stopping data transmission.

[0006]

[Operation]

- 5 (1) The engine section permits the register to set an arbitrary value. On the other hand, the data to be supplied to a print head are stored in the memory. The memory has a capacity for twice-burst DMA, of which data are read out synchronously with a timing signal
- 10 outputted by the data read-out section and supplied to the print head bit by bit through the shift register. The timing signal is outputted after the counter counts the time corresponding to a register value. When read-out by the data read-out section causes the data stored
- 15 in the memory to become less than that for once-burst DMA, the engine section makes a burst DMA transmission request of the following data for a control section. The time for the controller section to complete data transmission depends upon the capacity of the
- 20 controller section. Accordingly, a value to be set at the register is determined so that a timing signal of the data read-out section may be generated as near to the completion timing of data transmission as possible. Thus, data can be prevented from being superimposingly
- 25 written into the memory without any generation of erroneous memory read-out.

[0007]

(2) When a data transmission request is made from the engine section, the data judgment section of the controller section checks corresponding data in a bit map memory and judges whether or not all bits are registered as "0". Generally, print data contains a large amount of blank data in which the whole line usually becomes blank. The controller stores the printing line as a blank line for such a data without storing "0" data for one line in a bit map memory. Thus, bit map memory capacity can be reduced. Upon detection of such a blank data, the transmission interrupting section stops data transmission of a DMA control section. That is, the transmission interrupting section prevents the DMA control section from outputting a transmission response signal to the engine section. On the other hand, the masking section applies "0" masking to an output from the memory at the time of printing start of one printing line. This masking is released by a transmission response signal transmitted to the engine section from the controller section. Accordingly, unless a transmission response signal is transmitted, "0" is continuously supplied to the print head for no printing and causes the same state as for a case where a blank data is printed. As a result, printing can be executed without data transmission by the DMA control section and, during this period, the DMA control section can perform other

data transmission except for a printer, or occupation of a controller CPU data bus by DMA transmission of print data is not executed, therefore during this period the expansion and so forth of print data can be performed, thus improving the data throughput of the whole system. On the other hand, when the DMA control section performs data transmission, a DMA permit signal is inputted into the engine section, so that the masking of the masking section is released, and the data transmission permits the data stored into the memory to pass through the masking section and to be supplied to the print head. This permits ordinary print data except blank data to be printed.

[Embodiments]

15 [0008]

Preferred embodiments of the present invention will now be described in detail in accordance with the accompanying drawings.

(First Embodiment)

20 Figure 1 is a block schematic diagram of the printer engine controller according to one embodiment of the present invention. This illustrated apparatus is constituted of the register 1, the counter 2, the data read-out section 3, the data judgment section 4, a transmission interrupting section 5 and the masking section 6. A register 1 includes a latch circuit and stores a value corresponding to the time for the read-

25

out of transmitted data to be started after a data transmission request is started for a host controller. A value of the register 1 is defined by an engine control section 10. The counter 2 counts clock signals inputted in a predetermined cycle and measures the time corresponding to a value stored in the register 1.

[0009]

The data read-out section 3, after the time measured by the counter 2 elapses, outputs a timing signal for starting to read out data from a memory 12. At one-line printing start, the data judgment section 4 judges whether or not data to be transmitted at a data transmission request from the engine section is a blank line registered as data being all "0". That is, when a data transmission request signal is inputted from the engine section 200, the data judgment section 4 holds the signal and does not transmit the signal to a DMA control section 22. Then the data judgment section 4 judges whether or not data to be printed in the printing line are registered as all "0". When the data are judged as data of which all dots of one line should be "0", it is announced to the transmission interrupting section 5. The transmission interrupting section 5 stops data transmission if the data judgment section 4 judges data to be transmitted to be blank. That is, an address of the data transmitted in the next printing line on the bit map memory 12 is advanced by a

location corresponding to one line. Only this processing is executed without any data transmission. In other words, no request signal is transmitted to the DMA control section 22, so that a DMA response signal
5 is not outputted to the engine section 200.

[0010]

The masking section 6, while data transmission is being stopped by the transmission interrupting section 5, masks respective bits of the data read out of the
10 memory 12 at "0" to forcibly take the data as a blank one. This mask, when a DMA response signal is inputted into the engine control section 10 from the control section 100, is released as a result of a command signal is outputted to the masking section 6. A latch
15 circuit 11 temporarily stores DMA data. The memory 12 stores the data subjected to burst DMA transmission. The memory 12 is, for example, of FIFO (First In First Out) type. The memory 12 contains a 32-word data capacity to accommodate a 16-word burst DMA. Meanwhile,
20 the memory 12 is not limited to FIFO type and may have a circuit configuration capable of executing writing and reading into/out of each address with time sharing using RAM of a single port. The shift register 13 loads the data read out of the memory 12 in parallel
25 and shift-outputs the data to the print head 20.

[0011]

Figures 2 to 4 illustrate a peripheral circuit of the register 1 and the counter 2 in Figure 1, that is, a detail of a timing generation circuit of the engine section 200 respectively. Counters 2a, 2b correspond to the counter 2 in Figure 1. Each of the counters 2a, 2b includes a load input LD, a data input D of a count value, a reset input R, a count enable input ET and a carry output CY to load the count value of the register 1. Both reset inputs R are connected with a NOR circuit 121 and an AND circuit 125, controlled by a carry output CY of the counter 2b and inputted with an printing start command signal START-P. For control of an enable input ET of the counter 2, as illustrated in Figures 2 and 3, there are also provided J-K flip-flop circuits 113 to 117, the OR circuit 118, an AND circuit 119, a NAND circuit 120 and an inverter circuit 122. With the above constitution, the counter 2a performs development of the generation timing of a main scanning synchronous signal LSYNC-N, start timing of read-out of the memory 12, as well as counting of the number of transmission dots corresponding to the number of dots of the print head 20.

[0012]

In the register circuit 123 illustrated in Figure 4, a count comparative value corresponding to the number of dots of the print head 20 is stored by the engine control section 10. A comparator 124, provided

with a gate input G, compares an output value of the register circuit 123 with output values of the counters 2a, 2b and outputs a count stop command signal END-P of the counters 2a, 2b. A J-K flip-flop circuit 117
5 illustrated in Figure 3 produces a mask signal MASK-P for masking the transmission data of the print head 20 during the timing ranging from development of a printing start command signal for one line by the engine control section 10 to the output start of a DMA
10 response signal by a controller section 100.

[0013]

Figure 5 illustrates a writing-in-memory circuit. From video DMA signals DMAACK-N, RD-N, CAS-N transmitted from the controller section 100, a trigger
15 signal DATALATCH for latching DMA data and a data write command signal FIFOWR-N of the memory 12 are produced. For this purpose, there are provided a flip-flop circuit 131 with a set signal input S, a NAND circuit 132, an OR circuit 133 and inverter circuits 134, 135.
20 Figure 6 illustrates a peripheral circuit of the memory 12 in Figure 1. The memory 12, the shift register 13 and the masking section 6 are controlled by respective signals outputted by circuits in Figures 2 and 3. Accordingly, the respective signals are connected with
25 a reset terminal RS and a shift road terminal S/L through an inverter 14, AND circuits 17, 18 and a NOR circuit 19.

[0014]

Figure 7 illustrates an internal configuration of a FIFO memory. Signals in Figure 7 are all lower active. A FIFO memory 300 stores the data transmitted to the controller section 100 by burst DMA transmission. The capacity of a memory cell is 16 bits x 32 words = 512 bits and, for nonsynchronous and independent input and output operations of data, an input terminal and an output terminal for 16 bits are provided. A write pointer 301 updates a write address of a memory cell array each time a data is written into the FIFO memory 300. A read pointer 302 updates a read-out address of the memory cell array each time a data is read out of the FIFO memory 300. A write control section 303 develops a control signal to the write pointer 301 in response to an input of a write command signal W of the lower active.

[0015]

A read-out control section 304 develops a control signal to the read pointer 302 in response to an input of a read-out command signal R of the lower active. A reset section 305 initializes the write pointer 301 and the read pointer 302 by an input of a reset signal RS. A plug output section 306 detects the remaining amount of the data stored in the FIFO memory 300 from a positional relationship between the write pointer 301 and the read pointer 302 and outputs a half full signal

HF. The half full signal HF indicates that the remaining amount of the data stored in the FIFO memory 300 is in excess of 16 words. In this embodiment, the FIFO memory 300 is used as the memory 12, but a memory
5 of another system may be used.

[0016]

Figure 8 is a time chart showing a change in a half full signal of a FIFO memory. When a stored data is in excess of 16 words by the write signal W, the
10 half full signal (lower active) HF is at a low level. A data is read out by a read signal R and, when the stored data is 16 words or less, the half full signal HF is at a high level. Figure 9 is a block schematic diagram illustrating the whole configuration of a
15 printer. A portion surrounded by dashed lines in Figure 9 shows the whole configuration of a printer engine section 200. The engine section 200 is connected with the controller section 100, and the controller section 100 is connected to a personal
20 computer (not illustrated) serving as a host apparatus through an external interface. The engine section 200 is provided with a control substrate 201. The control substrate 201 is connected with the controller section 100 through a 16-bit data bus, a command interface and
25 so on. The controller section 100 is provided with a ROM, a RAM and the like not illustrated, which are

connected, in common, with a data bus connected to the engine section 200.

[0017]

The print data deployed to bit map data by a CPU
5 21 of the controller section 100 are stored in a bit
map memory 23 of the controller section 100 illustrated
in Figure 1. When the printer engine section 200
performs printing operation, the bit map data stored in
the bit map memory 23 is transmitted to the engine
10 section 200 by a burst DMA in batches of 16 words. The
print data transmitted by the burst DMA is stored in
the memory 12 provided in the printer engine section
200. During the printing operation of a printer, the
engine section 200 reads a one-word data out of the
15 memory 12 and parallel-loads the data into the 16-bit
shift register 13. The loaded data are shift-outputted
bit by bit and transmitted to the print head 20 as
serial data to become data for exposing a
photosensitive drum.

20 [0018]

The capacity of the memory 12 of the engine
section 200 is 32 words and, when the remaining amount
of the stored data is not more than 16 words, a DMA
request signal is outputted to the controller section
25 100. When the controller section 100 receives the DMA
request signal, a DMA response is made and burst DMA
data transmission of 16 words is executed. During

execution of one-line printing, the DMA request signal is controlled so that the remaining amount of data in the memory 12 may not be "0". In EEPROM 203, the total number of prints in the engine section 200 is stored and used as regular maintenance information such as service life information of a fixing device 204.

[0019]

Figure 10 illustrates an interface between the controller section 100 and the engine section 200. A ready signal PRDY-N illustrates that the engine section 200 is in a printable state. When printing for one page is started, the controller section 100 checks the signal and outputs a printing start command signal PRINT-N to the engine section 200. A main scanning synchronization signal LSYNC-N and a sub scanning synchronization signal FSYNC-N are outputted from the engine section 200 to the controller section 100, and operation states of the printer are transmitted every moment. The engine section 200 outputs the DMA request signal DMAREQ-N to the controller section 100, and the controller section 100 outputs the DMA response signal DMAACK-N to the engine section 200 for burst transmission of data D15 to D0.

[0020]

Figure 11 illustrates a time chart of a video signal. An illustrated example shows a case where printing resolution is 300 dpi and paper traveling

speed is 2 inches/sec where line cycle is 1.67 ms.
When a printing start command signal PRINT-N is
developed with a ready signal PRDY-N active, the ready
signal PRDY-N is at an "H" level, so that a sub
5 scanning synchronization signal FSYNC-N develops and,
for each line, a main scanning synchronization signal
LSYNC-N develops.

[0021]

Figure 12 illustrates a relationship among a main
10 scanning synchronization signal, data to a print head
20 and a transmission clock signal. With the period of
data transfer clock HD-CLK of the print head 20, the
duration of a main scanning synchronization signal,
namely, the time from rising to transmission clock
15 signal output start is defined, taking a cycle of a
transmission clock as a unit. Figure 13 illustrates a
relationship between a video data signal in the
controller section 100 and a bit map memory 23 storing
bit map data to be printed. As the bit map memory, for
20 example, DRAM is used. To supply the video data which
is an output signal of a control circuit of the
controller section 100 and which is read out of the bit
map memory 23 by DMA, of a signal wire connected with
the bit map memory 23, to the engine section 200, a
25 data bus signal, a column address strobe signal and a
read signal are outputted to the engine section 200. A
DMA request signal DMAREQ-N is a signal for the engine

section 200 to output a DMA request of the video data to the controller section 100. The controller section 100, upon receiving the signal, outputs a DMA response signal DMAACK-N to the engine section 200 and reads
5 video data out of the bit map memory 23 continuously by 16 words.

[0022]

Figure 14 is a peripheral circuit schematic diagram in connection with DMA in a controller section
10 100. A DMA request signal from the engine 200 is inputted into an arbitration circuit 401 of the controller section 100. Here, in accordance with higher priority predetermined for others in the internal controller, such as a bus occupation request,
15 DRAM refresh request, an instruction fetch request and an internal DMA request, a decision is made on which of the above-mentioned requests is met, and a bus request signal BREQ is outputted to the CPU 21 of the controller 100. An address counter 402 resets a
20 leading address for starting video DMA for each printing line by a line control 404 relative to a main scanning synchronization signal from an engine section interface 403 and issues an address for DMA transmission.

25 [0023]

Figure 15 illustrates a time chart at video DMA of the controller section 100. After the synchronization

with an output timing of a main scanning
synchronization signal LSYNC-N, a DMA request signal
DMAREQ-N is outputted from the engine section 200. The
controller section 100, when a DMA response is
5 available for the DMA request signal, outputs a DMA
response signal DMAACK-N. Tarb refers to the waiting
time when it takes to execute DMA start by arbitration
operation of the controller section 100. TDMA 16
refers to the time required for 16-word transmission
10 during DMA. A row of video data are read out of the
bit map memory DRAM by DMA and outputted on a data bus
signal wire at every occurrence of a column address
strobe signal. The data are inputted into the memory
12 of the engine section 200. A write control signal
15 of the memory 12 is developed by the column address
strobe signal and the DMA response signal.

[0024]

The maximum of the Tarb is determined by the
setting of priority order of the video DMA in the
20 controller section 100, the specification of DRAM used
as a bit map memory and clock frequency of a control
circuit. The value is designed so as to be minimum
when possible in order to prevent generation of overrun
as a result of the remaining amount of the data stored
25 in the memory 12 becoming "0" during the printing
operation of the printer engine section 200. Figure 16
is a time chart illustrating the operation of a memory

write circuit. A DMA response signal DMAACK-N is outputted in response to a DMA request of the engine section 200, so that 16-word DMA transmission starts. Transmission data DATA1, DATA2, ... are transmitted
5 onto a data bus at every occurrence of a column address strobe signal CAS-N. A data latch signal is outputted in synchronization with the column address strobe signal during DMA transmission and the transmission data DATA1, DATA2, ... are latched in order. As a
10 result, latch data are obtained and, when the data are latched, a write command signal FIFOWR-N of the memory 12 develops.

[0025]

Figure 17 is a time chart illustrating operation
15 during DMA transmission. By a printing start command signal START-P from the CPU of the engine section 200, a main scanning synchronization signal LSYNC-N is developed. Moreover, a DMA request signal DMAREQ-N is outputted to the controller section 100. A signal for
20 masking transmission data of the print head 20 is also outputted. The printing start command signal turns on a count enable signal to start counting. The count value is expressed in hexadecimal numeral. A value of FEOH is stored in the register 1 beforehand and
25 corresponds to a count value of 32 clocks of a CLK signal and the time is written as TSCNT. The counter 2 is reset by the printing start command signal. When

the counter 2 is made to start counting by the enable signal E1 and indicates a count value 007H, a CY7 signal develops to turn off the main scanning synchronization signal. When the count value is 008H, 5 009H and reaches 00FH, a CYXF signal occurs. The signal develops a load signal of the counter 2, so that the data (FEOH) stored in the register 1 are loaded into the counter 2. At this time, a counter enable signal E2 occurs and the counter 2 executes counting-up. 10 When the counter 2 executes counting-up for 32 clocks and reaches FFFH, the counter executes carry CY output. [0026]

At this time, a read signal R for the memory 12 and a parallel load signal S/L of the shift register 13 15 occurs. As a result, an enable signal E2 turns off, and a count enable signal E3 turns on. At this time, the count value is cleared to become 000H again. The count value sequentially make increments and a CYXF signal is outputted at every 16-clock. The signal 20 develops a read signal R, so that the data read out of the memory 12 are loaded into the shift register 13. On the other hand, when a DMA request signal makes a DMA response signal to respond from the controller section 100, a DMA request signal is turned off. When 25 the DMA response signal turns on, a signal for masking the print head 20 turns off to release data masking. [0027]

There are next illustrated the foregoing apparatus.
In Figure 2, when a start command signal START-P of one line is issued by the CPU of the engine section 200, the signal is inputted into a reset terminal R of the
5 counters 2a, 2b through NOR circuit 121 to clear the counters 2a, 2b. The start command signal outputs a main scanning synchronization signal from the flip-flop 116, so that a DMA request signal not illustrated is outputted and a counter enable signal E1 is outputted
10 from the flip-flop 113.

[0028]

The counter 2a is made to start counting by the clock CLK and, when a count value reaches 007H, a carry signal CY7 is outputted through the AND circuit 119.
15 The carry signal CY7 is inputted into a K terminal of the flip-flop 116 to turn off the main scanning synchronization signal. When the counter 2a performs counting-up and reaches 00FH, a carry signal CYXF of the counter 2a is produced. The carry signal CYXF is
20 inputted into the K terminal of the flip-flop 113, so that an enable signal E1 is turned off, while an enable signal E2 is turned on by the flip-flop 114. At this time, a value preset at the register 1 is loaded into the counter 2b. For example, if a register value is
25 FEOH, the FEOH is loaded into the counter 2b and the counter 2b counts up in order from FEOH. When a count value reaches FFFH, a counter carry signal CY is

outputted. The output of the carry signal CY produces a read signal of the memory 12.

[0029]

The time when it takes to execute the first memory
5 read by an output of a read signal of the memory 12
after an output of a DMA request signal by an output of
a printing start command signal is $16TCLK + TSCNT$ as
illustrated in Figure 17. A value of TSCNT can be
changed in accordance with a stored value of the
10 register 1 and is determined by a program ROM of the
engine section 200. This can prevent read processing
from excessively advancing by delaying a read start
timing by increasing the magnitude of a TSCNT value
even if DMA transmission speed is very low. If DMA
15 transmission speed is high, the read start timing is
advanced by decreasing the magnitude of the TSCNT value,
thus making effective use of DMA performance.

[0030]

In this way, the time when it takes to start
20 reading out of the memory 12 storing DMA transmission
data after an output of a DMA request signal to the
controller section 100 can be preset, thus the CPU of
the engine section 200 can change the time. This can
set the read start timing at an optimum value to the
25 maximum of DMA response time of the controller section
100. Accordingly, the specification of the engine
section 200 can be easily changed in accordance with a

change in the DMA response time by a specification change of the controller section 100.

[0031]

Prior to printing start of a printer, a command is
5 issued from the controller section 100 to the engine
section 200 and setting of the above preset value is
commanded. Thus, the read start timing of the memory
12 can be automatically set for various controller
sections 100 and, in DMA transmission for one-line
10 printing, overrun caused by too late DMA response of
the controller section 100 can be prevented.

[0032]

(Second Embodiment)

A configuration of the second embodiment is
15 included in the above-mentioned first embodiment,
therefore only the operation thereof is described below.
In Figure 1, when a start command signal is outputted
from the CPU of the engine section 200, first, a signal
to the masking section 6 is turned on and masking is
20 applied onto the data supplied to the print head 20, so
that blank data are supplied to the print head 20. In
the engine control section 10, the signal to the
masking section 6 is turned off by a DMA response
signal of the controller section 100. As a result, DMA
25 transmission is executed from the bit map memory 12 of
the control section 100, and the data written in the
memory 12 through the latch circuit 11 are passed

through the masking section 6 via the shift register 13 and supplied to the print head 20.

[0033]

On the other hand, when the data judgment section 4 of the controller section 100 judges all the data on a printing line to be on a blank line of "0", the transmission interrupting section 5 commands an arbitration circuit 401 illustrated in Figure 14 to set DMA in an inoperable status (disable). At this time, the DMA control section 22 of the controller section 100 does not respond to a DMA request signal outputted from the engine section 200, so that no DMA response signal is outputted. Accordingly, a signal to the masking section 6 is made to remain on, and all the data supplied to the print head 20 are forcibly set at "0", so that the printing line has only blank data.

[0034]

In this way, the controller section 100 judges line all data to be printed to be "0" or a blank line, skipping operation for the blank data can be executed only by stopping DMA of the controller section 100 in accordance with a program of the controller section 100, thus eliminating such a wasteful operation that the blank data of all "0" must be DMA transmitted to the engine section 200. Accordingly, such a situation will not occur that a data bus of the controller section 100 is unavoidably occupied for a long time to DMA transmit

the wasteful data, which can prevent data processing capacity of CPU from being reduced. Furthermore, the printing throughput of a printer can be improved.

[0035]

5 The present invention is not limited to the foregoing embodiments, and it goes without saying that variations can be made. For example, the present invention is not limited to a LED printer and can be applied to a laser printer in the same way.

10 [0036]

[Effects of the Invention]

As described above, the printer engine controller according to the present invention has an advantage that the engine section can perform smooth operation
15 without constraining the controller section as follows:

1) The printer engine controller is structured so that the engine section may determine a read start timing of the data from a memory based on a storage value of the register 1 which can set an arbitrary
20 value. Accordingly, in the printing operation of one line by the print head, the time when it takes to use the data transmitted by the DMA for printing after a DMA request signal is issued at the time of starting main scanning, can be set at an arbitrary time
25 corresponding to the DMA transmission time of the controller section. Accordingly, in designing the controller section, DMA response time can be

arbitrarily set, thus eliminating constraints on a circuit configuration for the controller section.

2) For a blank line as a printing margin section of a printer, no response is made to a DMA request signal, so that overrun is generated and, at the same time, all bits apply "0" masking to the data read out of a memory. This can eliminate necessity of DMA transmitting the data of a margin section, thus eliminating wasteful operation in developing print data.

10 [Brief Description of the Drawings]

[Figure 1]

Figure 1 is a block schematic diagram of the printer engine controller according to one embodiment of the present invention.

15 [Figure 2]

Figure 2 is a timing generation circuit diagram of the engine section (No. 1).

[Figure 3]

Figure 3 is a timing generation circuit diagram of the engine section (No. 2).

[Figure 4]

Figure 4 is a timing generation circuit diagram of the engine section (No. 3).

[Figure 5]

25 Figure 5 is a writing-in-memory circuit diagram.

[Figure 6]

Figure 6 is a peripheral circuit diagram of a memory.

[Figure 7]

Figure 7 is an internal configuration diagram of a
5 FIFO memory.

[Figure 8]

Figure 8 is a time chart showing the operation of a FIFO memory.

[Figure 9]

10 Figure 9 is a block schematic diagram illustrating the whole configuration of a printer.

[Figure 10]

Figure 10 is a schematic diagram illustrating an interface between the controller section and the
15 engine section.

[Figure 11]

Figure 11 illustrates a time chart of a video signal.

[Figure 12]

20 Figure 12 is a time chart illustrating relationship between a main scanning synchronization signal and data to a print head.

[Figure 13]

Figure 13 is a diagram explaining a DMA signal in
25 the controller section.

[Figure 14]

Figure 14 is a peripheral circuit schematic diagram in connection with DMA in a controller section.

[Figure 15]

Figure 15 is a time chart at DMA operation of a
5 controller section.

[Figure 16]

Figure 16 is a time chart illustrating the operation of a writing-in-memory circuit.

[Figure 17]

10 Figure 17 is a time chart illustrating operation during DMA transmission.

[Description of Symbols]

- 1 Register
- 2 Counter
- 15 3 Data read-out section
- 4 Data judgment section
- 5 Transmission interrupting section
- 6 Masking section

Figure 1

- 1 Register
- 2 Counter
- 3 Data read-out section
- 5 4 Data judgment section
- 5 Transmission interrupting section
- 6 Masking section
- 11 Latch circuit
- 12 Memory
- 10 13 Shift register
- 20 Print head
- 22 DMA control section
- 23 Bit map memory
- #1 Controller section
- 15 #2 Data bus
- #3 Engine section
- #4 One embodiment of a printer engine controller of the present invention

20

Figure 2

Timing generation circuit of engine section (No. 1)

Figure 3

5 Timing generation circuit of engine section (No. 2)

Figure 4

#1 Timing generation circuit of engine section (No.
3)

10 123 Register

Figure 5

Writing-in-memory circuit

15 Figure 6

Peripheral circuit of memory

Figure 7

301 Write pointer

20 302 Read pointer

303 Write control section

304 Read-out control section

305 Reset section

306 Flag output section

25 #1 Data input

#2 Memory cell

#3 Data output

#4 Internal configuration of FIFO memory

Figure 8

- #1 Stored data of not more than 16 words
- 5 #2 Stored data in excess of 16 words
- #3 Stored data of not more than 16 words
- #4 Time chart showing operation of a FIFO memory

Figure 9

- 10 100 Controller
- 21 CPU 16 bits
- 201 Control substrate
- 12 Memory
- 13 Register shift
- 15 20 Print head
- 204 Fixing device
- #1 Operation panel
- #2 External I/F
- #3 Panel I/F
- 20 #4 Command I/F
- #5 Data bus
- #6 Drum motor
- #7 Register motor
- #8 Transistor
- 25 #9 Driver
- #10 Memory
- #11 Low-voltage power supply

- #12 High-voltage power supply
 - #13 Cassette size sensor
 - #14 Paper sensor
 - #15 Paper feed sensor
 - 5 #16 Paper delivery sensor
 - #17 Toner remaining amount detection sensor
 - #18 Temperature sensor
 - #19 Transfer unit
 - #20 Charge unit
 - 10 #21 Voltage division
 - #22 Grid
 - #23 Developing device
 - #24 Overall configuration of printer
- 15 Figure 10
- #1 Controller section
 - #2 Engine section
 - #3 Interface between controller section and the engine section
- 20
- Figure 11
- Time chart of video signal
- Figure 12
- 25 #1 Relationship between main scanning synchronization signal and data to a print head
 - #2 clocks

Figure 13

- #1 Controller section control circuit (CPU)
- #2 Address bus
- 5 #3 Data bus
- #4 Engine section
- #5 Video data
- #6 DMA signal
- #7 DMA signal in controller unit
- 10 23 Bit map memory

Figure 14

- 401 Arbitration circuit
- 402 Video DMA address counter
- 15 403 Engine section interface
- 404 Line control
- 21 Controller section
- #1 DMA address
- #2 Refresh request
- 20 #3 Instruction fetch request
- #4 Internal DMA request
- #5 DMA peripheral circuit of controller section

Figure 15

- 25 #1 Data bus
- #2 Time chart showing DMA operation of controller section

Figure 16

- #1 RAM address
- #2 Data bus
- 5 #3 Latch data
- #4 Operation of memory write circuit

Figure 17

- #1 Count value
- 10 #2 16 clocks
- #3 32 clocks
- #4 Operation during DMA transmission

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-152978

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/12	A			
B 4 1 J 29/38	Z			

審査請求 未請求 請求項の数 2 F D (全 15 頁)

(21) 出願番号 特願平6-319112

(22) 出願日 平成6年(1994)11月29日

(71) 出願人 591044164

株式会社沖データ

東京都港区芝浦四丁目11番地22号

(72) 発明者 南雲 章

東京都港区芝浦四丁目11番地22号 株式会
社沖データ内

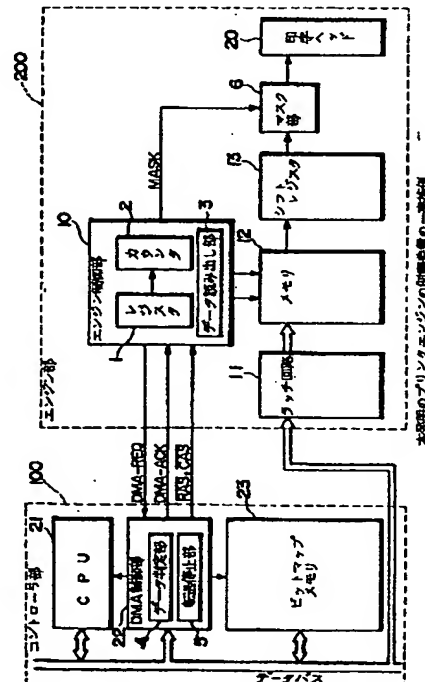
(74) 代理人 弁理士 佐藤 幸男 (外1名)

(54) 【発明の名称】 プリンタエンジンの制御装置

(57) 【要約】

【目的】 プリンタのエンジン部がコントローラ部を制御しないようにする。

【構成】 エンジン制御部10によりレジスタ1には任意の値を設定することができる。一方、メモリ12はバーストDMA 2回分の容量を持ち、データ読み出し部3が出力するタイミング信号に同期して読み出され、シフトレジスタ13を介して1ビットずつ印字ヘッド20に供給される。このタイミング信号はカウンタ2がレジスタ値に応じた時間を計測した後に出力される。読み出しにより、メモリ12に格納されているデータがバーストDMA 1回分以下になると、エンジン部200はコントローラ部100に対して次のデータの転送要求を出す。コントローラ部100がデータ転送を完了するまでの時間はコントローラ部100の能力によって異なる。従って、レジスタ1に設定する値はデータ読み出し部3のタイミング信号の発生がデータ転送の完了時期に一致するように決められる。



【特許請求の範囲】

【請求項1】 上位コントローラ装置から所定量ずつのデータの転送を受け、転送されたデータを一旦所定のメモリに書き込み、当該メモリから読み出したデータを印字するエンジン部を有するプリンタにおいて、前記上位コントローラ装置に対するデータ転送要求の開始から転送データの読み出しを開始するまでの時間に応じた値を設定するレジスタと、当該レジスタに格納された値に応じた時間の計測を行なうカウンタと、当該カウンタにより計測される時間が経過した後、前記メモリからのデータの読み出しを開始するデータ読み出し部とを備えたことを特徴とするプリンタエンジンの制御装置。

【請求項2】 上位コントローラ装置から所定量ずつのデータの転送を受け、転送されたデータを一旦所定のメモリに書き込み、当該メモリから読み出したデータを印字するエンジン部を有するプリンタにおいて、前記エンジン部から上位コントローラ装置に対するデータ転送要求時に転送すべきデータがブランクか否かを判定するデータ判定部を備えるとともに、当該データ判定部により転送すべきデータがブランクであると判定されたとき、データ転送を停止する転送停止部を備えたコントローラ部と、当該コントローラ部に備えられた前記転送停止部によりデータ転送が停止されている間、前記メモリから読み出されるデータをマスクし、ブランクとするマスク部とを備えたことを特徴とするプリンタエンジンの制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば1ライン毎の印字データを受信しつつ印字動作を行なうプリンタエンジンの制御装置に関するものである。

【0002】

【従来の技術】一般に、プリンタは、印字ヘッド等を駆動するエンジン部と、当該エンジン部を制御するコントローラ部から成る。エンジン部は、FIFOメモリを備えており、これにコントローラ部から所定量ずつ転送されたデータを書き込む。そして、FIFOメモリからシフトレジスタに読み出したデータを1ビットずつシフト出力して印字ヘッドに供給し、印字動作を行っていた（例えば、冲電気研究開発Vol.55, No.3, 第21～26ページ、第45～52ページ参照）。

【0003】

【発明が解決しようとする課題】しかしながら、上述した従来の技術には、次のような課題があった。

①エンジン部による1ラインの印字動作において、主走査の開始時にDMA要求信号を発生してから、DMAにより転送されるデータを印字に使用するまでの時間は予め決められた固定値であった。このため、コントローラ

部を設計する際は、DMA応答時間がこの印字開始時間よりも短くなるように設計しなければならない。従って、これがコントローラ部における回路構成上の制約となっていた。

②プリンタの印字の余白部となるブランクラインにおいては、例えば1ライン当り2560ドットの場合に対して $2560/8=320$ バイトのRAM容量の記憶領域にすべてのビットを“0”としたデータを作成しておかなければならない。即ち、コントローラ部において、印字データの作成上の無駄があった。

以上のように、エンジン部がその動作を円滑に行なうためにコントローラ部に対して制約を与えていた。

【0004】

【課題を解決するための手段】本発明のプリンタエンジンの制御装置は、上述した課題を解決するため、上位装置から所定量ずつのデータの転送を受け、転送されたデータを一旦所定のメモリに書き込み、当該メモリから読み出したデータを印字するプリンタにおいて、以下の点を特徴とするものである。

(1)

①上位コントローラ装置に対するデータ転送要求の開始から転送データの読み出しを開始するまでの時間に応じた値を設定するレジスタを備える。

②当該レジスタに格納された値に応じた時間の計測を行なうカウンタを備える。

③当該カウンタにより計測される時間が経過した後、メモリからのデータの読み出しを開始するデータ読み出し部を備える。

【0005】(2)

①上位コントローラ装置においてエンジン部からのデータ転送要求時に転送すべきデータがブランクか否かを判定するデータ判定部を備える。

②当該データ判定部により転送すべきデータがブランクであると判定されたとき、データ転送を停止する転送停止部を備える。

③当該転送停止部によりデータ転送が停止されている間、メモリから読み出されるデータをマスクし、ブランクとするマスク部をエンジン部に備える。

【0006】

【作用】

(1) エンジン制御部によりレジスタには任意の値を設定することができる。一方、メモリには印字ヘッドに供給されるデータが格納される。メモリはバーストDMA 2回分の容量を持ち、データ読み出し部が出力するタイミング信号に同期して読み出され、シフトレジスタを介して1ビットずつ印字ヘッドに供給される。このタイミング信号はカウンタがレジスタ値に応じた時間を計測した後に出力される。データ読み出し部による読み出しにより、メモリに格納されているデータがバーストDMA 1回分以下になると、エンジン部はコントローラ部に対

して次のデータのバーストDMA転送要求を出す。コントローラ部がデータ転送を完了するまでの時間はコントローラ部の能力によって異なる。従って、レジスタに設定する値はデータ読み出し部のタイミング信号の発生がデータ転送の完了時期になるべく接近するように決められる。この結果、メモリの読み出しエラーが生じることがなく、メモリにデータが重ねて書き込まれることもないようにできる。

【0007】(2) エンジン部からデータ転送要求があると、コントローラ部のデータ判定部はビットマップメモリ内の該当するデータを調べ、すべてのビットが“0”であるとして登録されているか否かを判定する。通常印字データには通常1ライン全体が空白となるブランクデータが多く含まれている。このようなデータに対して、コントローラはビットマップメモリに1ライン分の“0”データを格納することはせずに、その印字ラインがブランクラインであるとして記憶する。これによりビットマップメモリ容量の節減ができる。このようなブランクデータを検出すると、転送停止部はDMA制御部のデータ転送動作を停止させる。即ち、転送停止部はDMA制御部がエンジン部に対して転送応答信号を出力しないようにする。一方、印字1ラインの印字処理開始時にマスク部はメモリからの出力に“0”のマスクをかける。このマスクはコントローラ部からエンジン部に送られる転送応答信号によって解除される。従って、転送応答信号が送られてこない限り、印字ヘッドには“0”が供給され続け、印字はされず、ブランクデータが印字された場合と同様となる。この結果、DMA制御部によるデータ転送を伴わずに印字動作を行なうことができ、この間にDMA制御部はプリンタ以外の他のデータ転送を行なうことが可能となり、あるいは、印字データのDMA転送によるコントローラCPUデータバスの占有がなくなるので、この間CPUは印字データの展開処理等を実行することができるため、システム全体のデータ処理能力が向上する。一方、DMA制御部がデータ転送を行なう場合はDMA許可信号がエンジン部に入力されることによりマスク部のマスクが解除され、データ転送によりメモリに格納されたデータがマスク部を通過して印字ヘッドに供給される。これにより、ブランクデータ以外の通常の印字データの印字が行なわれる。

【0008】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

(第1実施例) 図1は、本発明のプリンタエンジンの制御装置の一実施例のブロック図である。図示の装置は、レジスタ1、カウンタ2、データ読み出し部3、データ判定部4、転送停止部5、マスク部6を備えている。レジスタ1は、ラッチ回路等から成り、上位装置に対するデータ転送要求の開始から転送データの読み出しを開始するまでの時間に応じた値を格納する。このレジスタ1

の値は、エンジン制御部10により設定される。カウンタ2は、所定の周期で入力されるクロック信号を計数し、レジスタ1に格納された値に応じた時間の計測を行なう。

【0009】データ読み出し部3は、カウンタ2により計測される時間が経過した後、メモリ12からのデータの読み出しを開始するためのタイミング信号を出力する。データ判定部4は、1ライン印字処理の開始時、エンジン部からのデータ転送要求時に転送すべきデータがすべて“0”であるとして登録されたブランクラインか否かを判定する。即ち、エンジン部200からデータ転送要求信号を入力すると、データ判定部4はこの信号を保留し、DMA制御部22には伝えない。そして、その印字ラインにおいて印字すべきデータがすべて“0”であるとして登録されたものであるか否かを判定する。1ラインのすべてのドットが“0”となるべきデータであると判定されたときは、その旨が転送停止部5に通知される。転送停止部5は、当該データ判定部4により転送すべきデータがブランクであると判定されたとき、データ転送を停止する。即ち、ビットマップメモリ12上の次の印字ラインにおいて転送するデータのアドレスを1ライン分先に進める。この処理のみで、データ転送は行なわれない。即ち、DMA制御部22には要求信号が伝えられず、従って、エンジン部200に対するDMA応答信号は出力されない。

【0010】マスク部6は、転送停止部5によりデータ転送が停止されている間、メモリ12から読み出されるデータの各ビットを“0”にマスクし、強制的にブランクデータとする。このマスクは、コントローラ部100からDMA応答信号がエンジン制御部10に入力された場合にはマスク部6に対して指令信号が出力されて解除される。ラッチ回路11は、DMAデータを一時的に格納しておくためのものである。メモリ12は、バーストDMA転送されるデータを格納する。このメモリ12は、例えばFIFO(First In First Out)式のものである。このメモリ12は、16ワードバーストDMAに対応するため、32ワードのデータ容量を備えている。尚、このメモリ12は、FIFO式のものに限らず、シングルポートのRAMを用いて時分割で各アドレスに対し書き込み及び読み出しする回路構成としてもよい。シフトレジスタ13は、メモリ12から読み出したデータをパラレルにロードして、印字ヘッド20へシフト出力する。

【0011】図2～図4は、図1におけるレジスタ1及びカウンタ2の周辺回路、即ちエンジン部200のタイミング発生回路の詳細を示す。カウンタ2a、2bは、図1のカウンタ2に相当するものである。これらのカウンタ2a、2bは、レジスタ1のカウント値をロードするため、ロード入力LD、カウント値のデータ入力D、リセット入力R、カウントイネーブル入力ET、キャリ

5

一出力CYをそれぞれ備えている。双方のリセット入力Rには、ノア回路121、アンド回路125が接続されており、カウンタ2bのキャリー出力CY等によって制御される他に、印字開始指令信号START-Pが入力される。また、カウンタ2のイネーブル入力ETを制御するため、図2及び図3に示すように、J-Kフリップフロップ回路113~117、オア回路118、アンド回路119、ナンド回路120、インバータ回路122を備えている。これにより、カウンタ2aは、主走査同期信号LSYNC-Nの発生タイミングの作成のほか、メモリ12の読み出しの開始タイミング、印字ヘッド20のドット数に対応する転送ドット数の計数などを兼用して行なう。

【0012】図4に示すレジスタ回路123には、エンジン制御部10により印字ヘッド20のドット数に対応した計数比較値が格納される。コンパレータ回路124は、ゲート入力Gを備えており、レジスタ回路123と、カウンタ2a、2bの出力値とを比較してカウンタ2a、2bのカウント停止指令信号END-Pを出力する。図3に示すJ-Kフリップフロップ回路117は、エンジン制御部10による1ライン分の印字開始指令信号の発生からコントローラ部100によるDMA応答信号の出力開始までの期間、印字ヘッド20の転送データをマスクするマスク信号MASK-Pを発生する。

【0013】図5は、メモリ書き込み回路を示す。コントローラ部100からのビデオDMA用信号DMAACK-N、RD-N、CAS-NからDMAデータをラッチするためのトリガ信号DATA LATCH、メモリ12のデータ書き込み指令信号FIFOWR-Nを発生する。このため、セット信号入力Sを備えたフリップフロップ回路131、ナンド回路132、オア回路133、インバータ回路134、135を備えている。図6は、図1におけるメモリ12の周辺回路を示す。メモリ12、シフトレジスタ13及びマスク部6は、図2~図3の回路により出力される各信号により制御されるため、これらの信号がインバータ14、アンド回路17、18、ノア回路19を介してリセット端子RS及びシフト・ロード端子S/L等に接続されている。

【0014】図7は、FIFOメモリの内部構成を示す。尚、図中の信号は、すべてロウアクティブである。FIFOメモリ300は、バーストDMA転送によりコントローラ部100から送られるデータを格納する。メモリセルの容量は16ビット×32ワード=512ビットであり、データの入力と出力とを非同期・独立に行なうため、16ビットの入力端子と出力端子を備えている。ライトポインタ301は、FIFOメモリ300へのデータの書き込みごとにメモリセルアレイの書き込みアドレスを更新する。リードポインタ302は、FIFOメモリ300からのデータの読み出しごとにメモリセルアレイの読み出しアドレスを更新する。書き込み制御

6

部303は、ロウアクティブの書き込み指令信号Wの入力に対し、ライトポインタ301への制御信号を発生する。

【0015】読み出し制御部304は、ロウアクティブの読み出し指令信号Rの入力に対し、リードポインタ302への制御信号を発生する。リセット部305は、リセット信号RSの入力によりライトポインタ301、リードポインタ302を初期化する。フラグ出力部306は、ライトポインタ301とリードポインタ302との位置関係から、FIFOメモリ300に格納されているデータの残量を検出し、ハーフフル信号HFを出力する。ハーフフル信号HFは、FIFOメモリ300に格納されているデータの残量が16ワードを超過していることを示す。本実施例では、このようなFIFOメモリ300をメモリ12として使用するが、他の方式のメモリを使用しても差し支えない。

【0016】図8は、FIFOメモリのハーフフル信号の変化を示すタイムチャートである。ライト信号Wにより格納データが16ワードを超過すると、ハーフフル信号(ロウアクティブ)HFはロウレベルとなる。そして、リード信号Rによりデータを読み出し、格納データが16ワード又はそれ以下となると、ハーフフル信号HFはハイレベルとなる。図9は、プリンタの全体構成を示すブロック図である。図中破線によって囲まれた部分は、プリンタのエンジン部200の全体構成を示す。このエンジン部200には、コントローラ部100が接続されており、コントローラ部100は外部インタフェースを介して上位装置である図示しないパーソナルコンピュータに接続されている。エンジン部200には、制御基板201が備えられている。制御基板201は、コントローラ部100と16ビットのデータバス、コマンドインタフェース等を介して接続されている。コントローラ部100には、図示しないROM、RAM等が備えられており、エンジン部200に接続されているデータバスに共通に接続されている。

【0017】コントローラ部100のCPU21によりビットマップデータに展開された印字データは、図1に示すコントローラ部100のビットマップメモリ23に格納される。プリンタのエンジン部200が印字動作するとき、ビットマップメモリ23に格納されているビットマップデータは、16ワード分を一括してバーストDMAによりエンジン部200に転送される。バーストDMAにより転送された印字データはプリンタのエンジン部200に備えられたメモリ12に格納される。プリンタの印字中において、エンジン部200ではメモリ12から1ワードのデータを読み出し、16ビットのシフトレジスタ13にパラレルロードする。ロードされたデータは1ビットずつシフト出力され、シリアルデータとして印字ヘッド20へ送られ、感光ドラムを露光するためのデータとなる。

【0018】エンジン部200のメモリ12の容量は、32ワードであり、格納されているデータの残量が16ワード以下となると、コントローラ部100に対してDMA要求信号を出力する。コントローラ部100がこのDMA要求信号を受け付けると、DMA応答がなされ、16ワードのバーストDMAデータ転送が行なわれる。このようにして、1ラインの印字の実行中にメモリ12のデータ残量が“0”となることがないようにDMA要求信号は制御される。また、EEPROM203には、エンジン部200における総印字枚数が格納され、定着器204の寿命情報等の定期保守情報として使用される。

【0019】図10は、コントローラ部100、エンジン部200間のインタフェースを示す。レディ信号PRDY-Nは、エンジン部200が印字動作可能な状態にあることを示す。1ページ分の印字を開始するとき、コントローラ部100はこの信号を確認して印字開始指令信号PRINT-Nをエンジン部200に出力する。また、エンジン部200からコントローラ部100へ主走査同期信号LSYNC-N及び副走査同期信号FSYNC-Nが出力され、プリンタの動作状態が刻々と伝えられる。そして、エンジン部200がコントローラ部100にDMA要求信号DMAREQ-Nを出力し、コントローラ部100はエンジン部200にDMA応答信号DMAACK-Nを出力し、データD15~D0のバースト転送を行なう。

【0020】図11は、ビデオ信号のタイムチャートを示す。図示の例は、印字解像度300dpi、用紙走行速度2インチ/秒の場合を示し、ライン周期は1.67msである。レディ信号PRDY-Nがアクティブのとき印字開始指令信号PRINT-Nが発生するとレディ信号PRDY-Nが“H”レベルとなり、副走査同期信号FSYNC-Nが発生し、1ラインごとに主走査同期信号LSYNC-Nが発生する。

【0021】図12は、主走査同期信号と印字ヘッド20へのデータと転送クロック信号との関係を示す。印字ヘッド20のデータ転送クロックHD-CLKの周期をT_{wck}とすると、主走査同期信号の幅、即ち立ち上がりから転送クロック信号出力開始までの時間は、転送クロックの周期を単位として規定される。図13は、コントローラ部100におけるビデオデータ信号と、印字するビットマップデータが格納されているビットマップメモリ23との関係を示す。ビットマップメモリとして、例えばDRAMが用いられる。コントローラ部100の制御回路の出力信号であってビットマップメモリ23に接続される信号線のうち、ビットマップメモリ23からDMAにより読み出したビデオデータをエンジン部200へ供給するため、データバス信号とコラムアドレスストローブ信号、リード信号がエンジン部200に対して出力される。DMA要求信号DMAREQ-Nは、エ

ンジン部200がコントローラ部100に対して、ビデオデータのDMA要求を出力する信号である。コントローラ部100は、この信号を受け付けると、DMA応答信号DMAACK-Nをエンジン部200に出力し、ビットマップメモリ23からビデオデータを16ワード連続して読み出す。

【0022】図14は、コントローラ部100のビデオDMAの周辺回路のブロック図である。エンジン部200からのDMA要求信号は、コントローラ部100のアービトレーション回路401に入力される。ここでは、コントローラ内部でのその他のバス占有要求、DRAMのリフレッシュ要求、インストラクションフェッチ要求、内部DMA要求に対して予め決められた優先順位に従い、どの要求に応じるか決定され、コントローラ部100のCPU21に対してバスリクエスト信号BREQが出力される。アドレスカウンタ402は、エンジン部インタフェース403からの主走査同期信号に対してラインコントロール404による印字のライン毎にビデオDMAを開始する先頭アドレスを再設定し、DMA転送するアドレスを発生する。

【0023】図15は、コントローラ部100のビデオDMA時のタイムチャートを示す。主走査同期信号LSYNC-Nの出力タイミングに同期して、エンジン部200からDMA要求信号DMAREQ-Nが出力される。コントローラ部100は、このDMA要求信号に対してDMA応答が可能となると、DMA応答信号DMAACK-Nを出力する。Tarbは、コントローラ部100のアービトレーション動作によるDMA開始までの待ち時間を示す。TDMA16は、DMA中における16ワード転送に要する時間を示す。コラムアドレスストローブ信号の発生ごとにデータバス信号線上にビデオデータ列がDMAによりビットマップメモリDRAMから読み出され、出力される。これらのデータは、エンジン部200のメモリ12に入力される。また、コラムアドレスストローブ信号、DMA応答信号により、メモリ12の書き込み制御信号が発生する。

【0024】尚、Tarbは、コントローラ部100におけるビデオDMAの優先順位の設定や、ビットマップメモリとして使用するDRAMの仕様、制御回路のクロック周波数などにより最大値が決まる。この値は、プリンタのエンジン部200の印字動作中にメモリ12の格納データの残量が“0”となることによりオーバーランが発生することのないように極力小さく設計される。図16は、メモリ書き込み回路の動作を説明するタイムチャートである。エンジン部200のDMA要求に対してDMA応答信号DMAACK-Nが出力され、16ワードのDMA転送が開始される。そして、コラムアドレスストローブ信号CAS-Nの発生ごとにデータバス上に転送データDATA1、DATA2等が出力される。データラッチ信号はDMA転送中のコラムアドレスストローブ

信号に同期して出力され、転送データDATA1、DATA2等を順にラッチする。これにより、ラッチデータが得られる。データをラッチすると、メモリ12の書き込み指令信号FIFOWRNが発生する。

【0025】図17は、DMA転送時の動作を示すタイムチャートである。エンジン部200のCPUからの印字開始指令信号STARTPにより主走査同期信号LSYNCRNが発生する。また、コントローラ部100に対してDMA要求信号DMAREQNが出力される。更に、印字ヘッド20の転送データをマスクする信号も出力される。印字開始指令信号によりカウンタイネーブル信号がオンし、計数を開始する。ここで、カウント値は16進数で表示されている。レジスタ1にはFE0Hの値が予め格納されているものとする。この値はCLK信号の32クロックのカウント値に相当し、この時間をTSCNTと記す。印字開始指令信号によりカウンタ2はリセットされる。次いで、イネーブル信号E1によりカウンタ2が計数を開始してカウント値007Hとなると、CY7信号が発生して主走査同期信号はオフにされる。次いで、カウント値が008H、009Hとなり、00FHとなると、CYXF信号が発生する。この信号によりカウンタ2のロード信号が発生してレジスタ1に格納されているデータ(FE0H)がカウンタ2にロードされる。このとき、カウンタイネーブル信号E2が発生してカウンタ2はカウントアップしていく。32クロック分カウントしてカウンタ2がFFFHとなると、カウンタはキャリーCY出力を発生する。

【0026】このとき、メモリ12に対する読み出し信号Rと、シフトレジスタ13のパラレルロード信号S/Lとが発生する。このとき、カウンタイネーブル信号E2がオフする。そして、カウンタイネーブル信号E3がオンする。このとき、カウント値はクリアされて再び000Hとなる。カウント値はこの後、順次インクリメントしていき、16クロックごとにCYXF信号が出力される。この信号により読み出し信号Rが発生してメモリ12から読み出されたデータがシフトレジスタ13にロードされる。一方、DMA要求信号によりDMA応答信号がコントローラ部100から応答されると、DMA要求信号がオフされる。DMA応答信号がオンとなると、印字ヘッド20をマスクする信号はオフしてデータのマスクは解除される。

【0027】次に、上述した装置の動作を説明する。図2において、エンジン部200のCPUにより1ラインの開始指令信号STARTPが発生すると、この信号がノア回路121を介してカウンタ2a、2bのリセット端子Rに入力され、これによりカウンタ2a、2bはクリアされる。また、この開始指令信号によりフリップフロップ116から主走査同期信号が出力され、図示しないDMA要求信号が出力され、フリップフロップ113からカウンタイネーブル信号E1が出力される。

【0028】カウンタ2aがクロックCLKによりカウントアップされ、カウント値が007Hとなると、アンド回路119を介してキャリー信号CY7が出力される。このキャリー信号CY7はフリップフロップ116のK端子に入力され、これにより主走査同期信号がオフにされる。カウンタ2aが更にアップカウントして00FHとなると、カウンタ2aのキャリー信号CYXFが発生する。このキャリー信号CYXFはフリップフロップ113のK端子に入力され、これにより、イネーブル信号E1はオフにされ、代わりにフリップフロップ114によりイネーブル信号E2がオンにされる。このとき、カウンタ2bには、予めレジスタ1に設定されている値がロードされる。例えば、レジスタ値がFE0Hであるとなると、カウンタ2bにはFE0Hがロードされ、カウンタ2bはFE0Hから順にカウントアップされる。カウント値がFFFHとなると、カウンタキャリー信号CYが出力される。このキャリー信号CYの出力により、メモリ12のリード信号が出力される。

【0029】印字開始指令信号の出力によるDMA要求信号の出力から、メモリ12のリード信号の出力による最初のメモリ読み出しまでの時間は、図17に示すように、 $16T_{CLK} + TSCNT$ である。TSCNTの値は、レジスタ1の格納値に対応して変更することが可能であり、エンジン部200のプログラムROMによって決められる。これにより、例えば、DMAの転送速度が非常に遅いような場合でも、TSCNT値を大きくすることによりリードの開始時期を遅らせて読み出し処理が先走ることを防止することができる。また、DMAの転送速度が速い場合には、TSCNT値を小さくすることにより読み出しの開始時間を早めてDMAの性能を有効に活用することができる。

【0030】このようにして、コントローラ部100に対するDMA要求信号の出力からDMA転送データが格納されるメモリ12の読み出し開始までの時間をプリセット可能とするようにしたので、エンジン部200のCPUによってこの時間を変更することができる。これにより、読み出し開始時期をコントローラ部100のDMA応答時間の最大値に合せた最適な値に設定することが可能である。このため、コントローラ部100の仕様変更によるDMA応答時間の変化に対応してエンジン部200の仕様の変更を容易に行なうことができる。

【0031】また、プリンタの印字開始に先立ち、コントローラ部100からエンジン部200へコマンドを発行して上述のプリセット値の設定を指令することにより、種々のコントローラ部100に対してメモリ12の読み出し開始時期を自動設定することが可能であり、1ライン印字のためのDMA転送においてコントローラ部100のDMA応答が間に合わないことによりオーバーランが発生することを防止することができる。

【0032】(第2実施例)第2実施例の構成は、上述

した第1実施例に含まれているので、動作のみを説明する。図1において、エンジン部200のCPUから開始指令信号が出力されると、とりあえず、マスク部6への信号はオンにされ、印字ヘッド20に供給されるデータにマスクがかけられる。これにより、印字ヘッド20にはブランクデータが供給される。このマスク部6への信号は、エンジン制御部10において、コントローラ部100のDMA応答信号によってオフにされる。これにより、コントローラ部100のビットマップメモリ12からDMA転送され、ラッチ回路11を介してメモリ12

10に書き込まれたデータがシフトレジスタ13を介し、マスク部6を通過して印字ヘッド20に供給される。
【0033】一方、コントローラ部100のデータ判定部4において、印字ラインのデータがすべて“0”のブランクラインであると判定されると、転送停止部5は図14に示すアービトレーション回路401に指令してDMAを動作不可能状態（ディスエイブル）とする。このとき、エンジン部200から出力されるDMA要求信号に対してコントローラ部100のDMA制御部22は応答しないので、DMA応答信号は出力されない。このため、マスク部6への信号はオンにされたままとなり、印字ヘッド20へ供給されるデータは強制的にすべて

“0”にさせられ、印字ラインはブランクデータのみとなる。
【0034】このようにして、コントローラ部100において印字すべきラインデータがすべて“0”でブランクラインであると判定されると、コントローラ部100のプログラムによりコントローラ部100のDMAを停止するだけでブランクデータのスキップ動作を行なうことが可能となる。これにより、エンジン部200に対してすべて“0”のブランクデータをDMA転送する無駄が省ける。従って、無駄なデータをDMA転送するためにコントローラ部100のデータバスが長時間占有されることがなく、CPUのデータ処理能力の低下を防止することができる。これにより、プリンタの印刷のスループットを向上させることができる。

【0035】尚、本発明は上述した実施例に限定されるものではなく、種々の変形が可能であることはもちろんである。例えば、本発明はLEDプリンタに限らず、レーザプリンタについても同様に適用することができる。

【0036】

【発明の効果】以上説明したように、本発明のプリンタエンジンの制御装置には、次のようにエンジン部がコントローラ部を制約せずに円滑な動作を行なえる効果がある。

①エンジン部において、メモリからのデータの読み出し開始タイミングを任意の値の設定が可能なレジスタ1の格納値に基づいて決定するようにしたので、印字ヘッドによる1ラインの印字動作において、主走査の開始時にDMA要求信号を発生してから、DMAにより転送され

るデータを印字に使用するまでの時間をコントローラ部のDMA転送時間に応じた任意の時間に設定することができる。このため、コントローラ部を設計する際、DMA応答時間を任意に設定することができ、コントローラ部における回路構成上の制約がなくなる。

②プリンタの印字の余白部となるブランクラインについては、DMA要求信号に対し、応答しないことによりオーバーランを発生させ、このとき、メモリから読み出されるデータにすべてのビットが“0”のマスクをかけるようにしたので、余白部分のデータのDMA転送を行なう必要がないようにすることができ、コントローラ部において、印字データの作成上の無駄を省くことができる。

【図面の簡単な説明】

【図1】本発明のプリンタエンジンの制御装置の一実施例のブロック図である。

【図2】エンジン部のタイミング発生回路図（その1）である。

【図3】エンジン部のタイミング発生回路図（その2）である。

【図4】エンジン部のタイミング発生回路図（その3）である。

【図5】メモリ書き込み回路図である。

【図6】メモリの周辺回路図である。

【図7】FIFOメモリの内部構成の回路図である。

【図8】FIFOメモリの動作を説明するタイムチャートである。

【図9】プリンタの全体構成図である。

【図10】コントローラ部とエンジン部間のインタフェースの説明図である。

【図11】ビデオ信号のタイムチャートである。

【図12】主走査同期信号と印字ヘッドへのデータの関係のタイムチャートである。

【図13】コントローラ部におけるDMA信号の説明図である。

【図14】コントローラ部のDMA関連の周辺回路図である。

【図15】コントローラ部のDMA動作時のタイムチャートである。

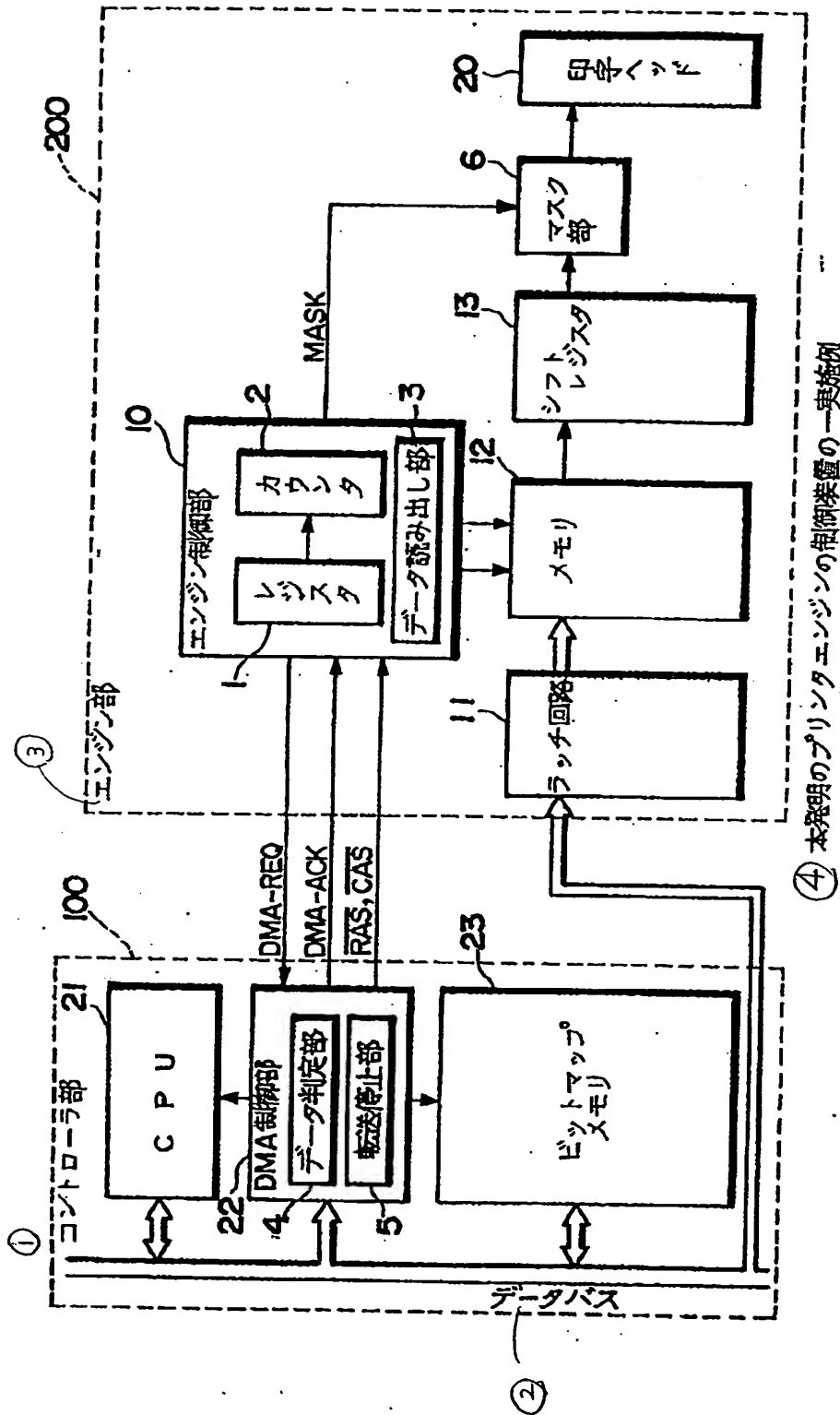
【図16】メモリ書き込み回路の動作を示すタイムチャートである。

【図17】DMA転送時の動作を示すタイムチャートである。

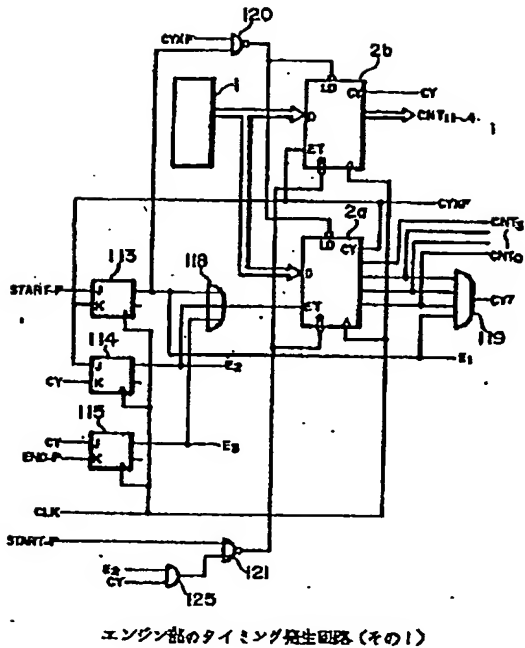
【符号の説明】

- 1 レジスタ
- 2 カウンタ
- 3 データ読み出し部
- 4 データ判定部
- 5 転送停止部
- 6 マスク部

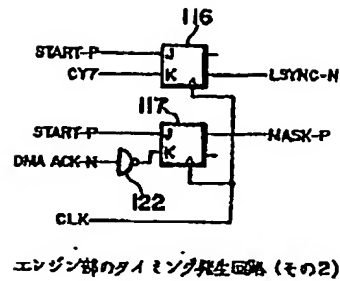
【図1】



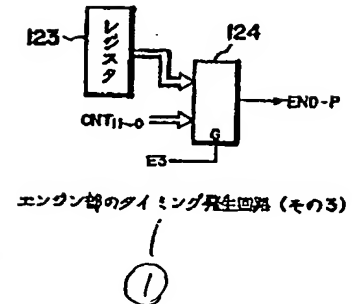
【図2】



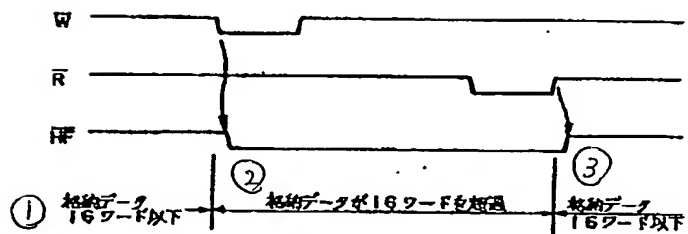
【図3】



【図4】

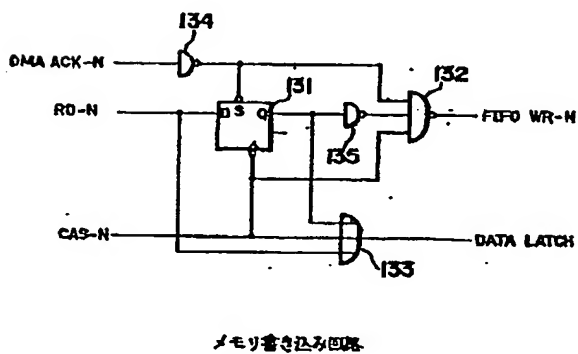


【図8】

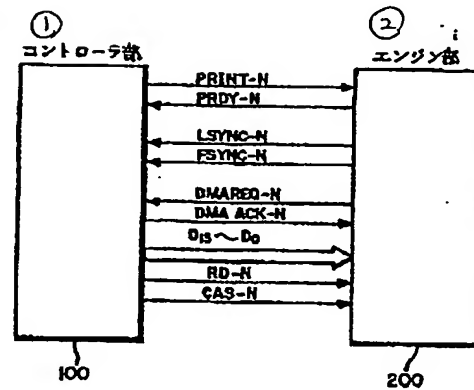


④ FIFOメモリの動作タイムチャート

【図5】

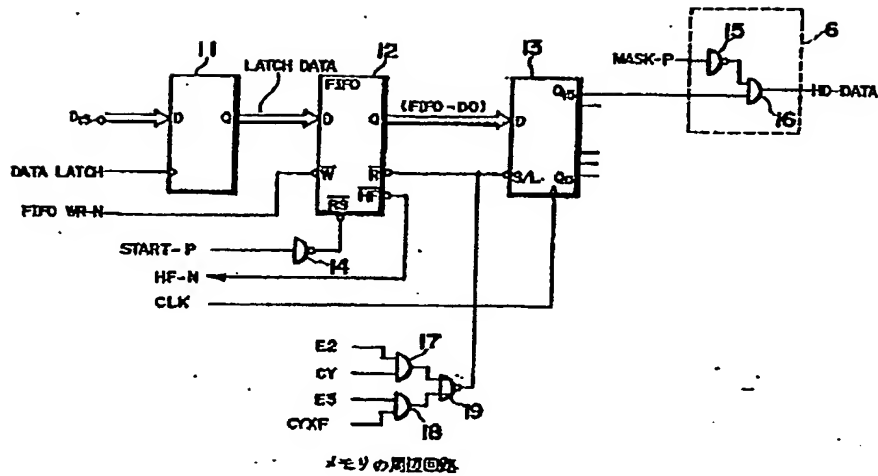


【図10】

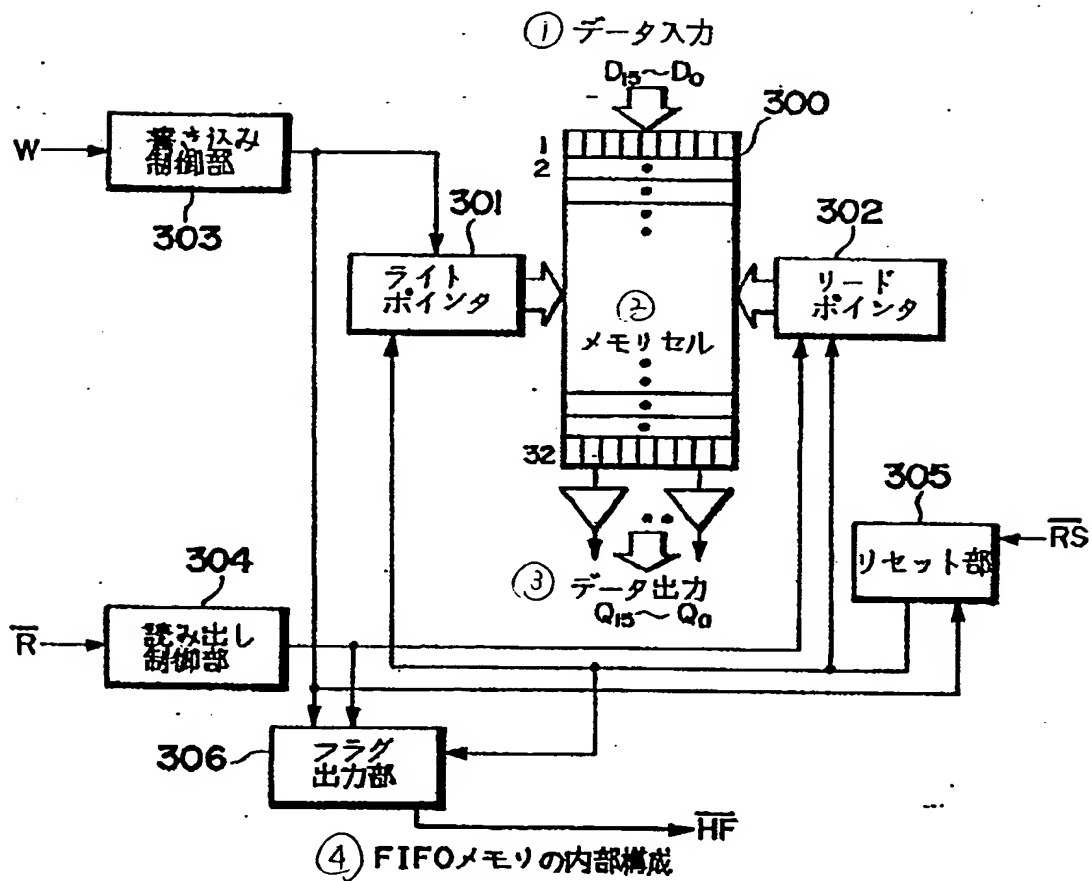


③ コントローラ部とエンジン部間のインタフェース

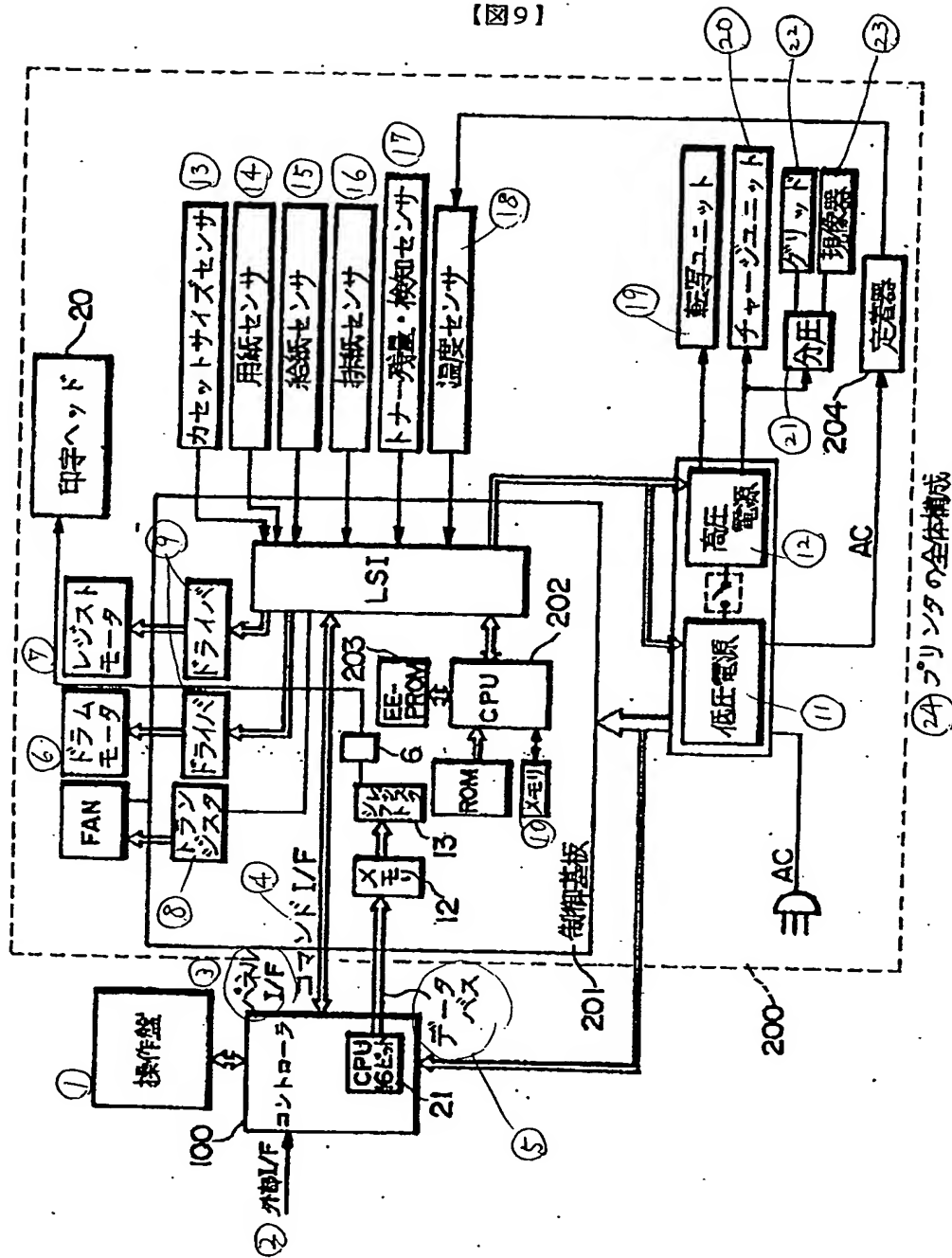
【図6】



【図7】



【図9】



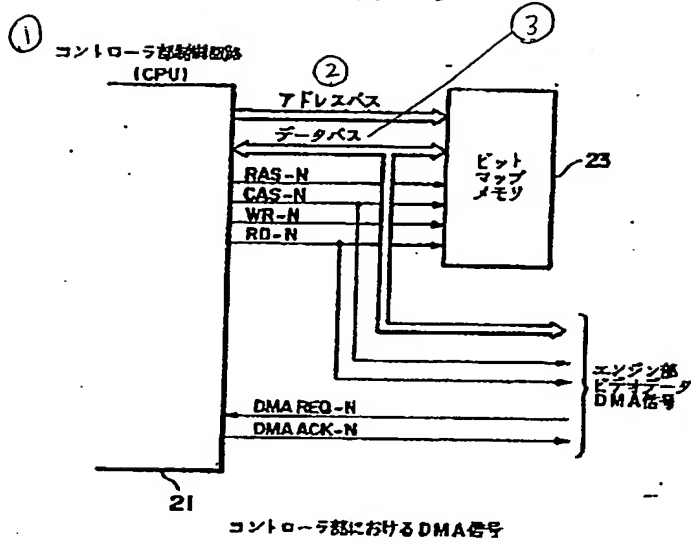
[illegible]

ビデオ信号のタイムチャート

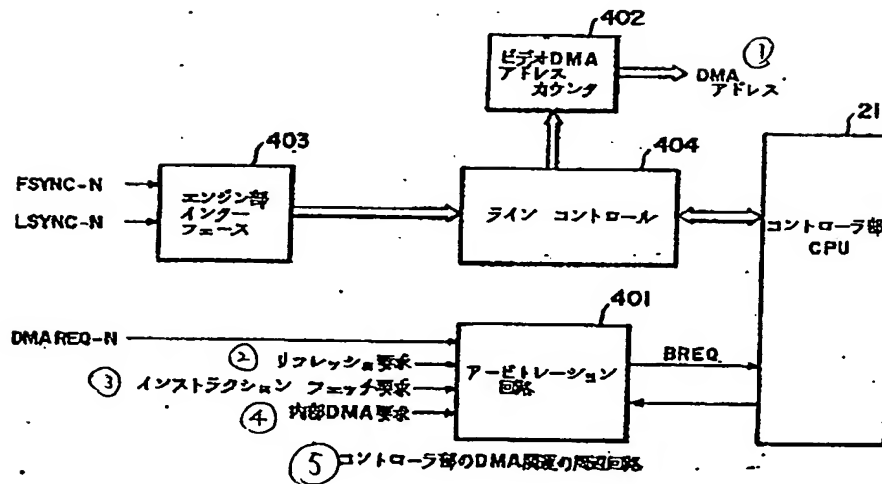
Timing diagram for the HD-DATA bus. The diagram shows the relationship between LSYNC-N, HD-DATA, and HD-CLK signals. LSYNC-N is high for 1.67ms. HD-DATA and HD-CLK are shown during this pulse. HD-CLK has a period of T_{clk} . HD-DATA is sampled at the rising edge of HD-CLK. A callout (2) indicates a 2560-clock period.

① 主走査同期信号と印字ヘッドへのデータの関係

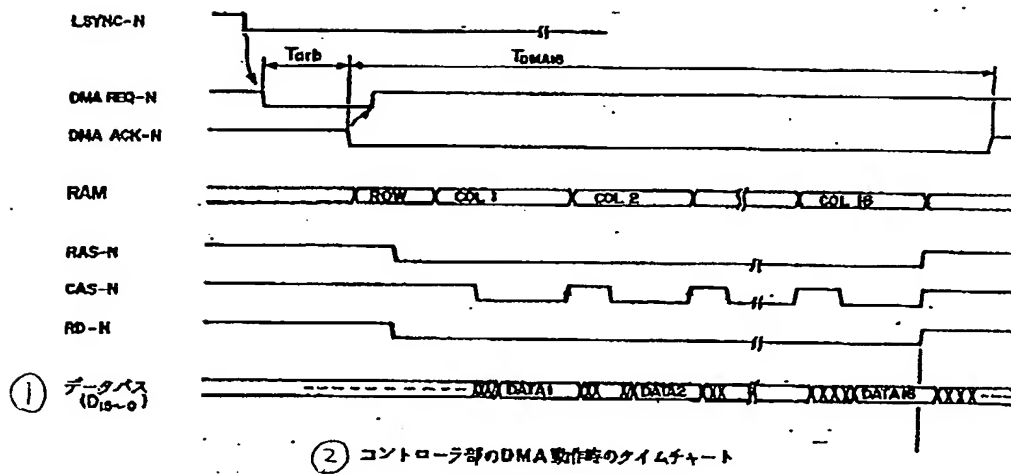
【図13】



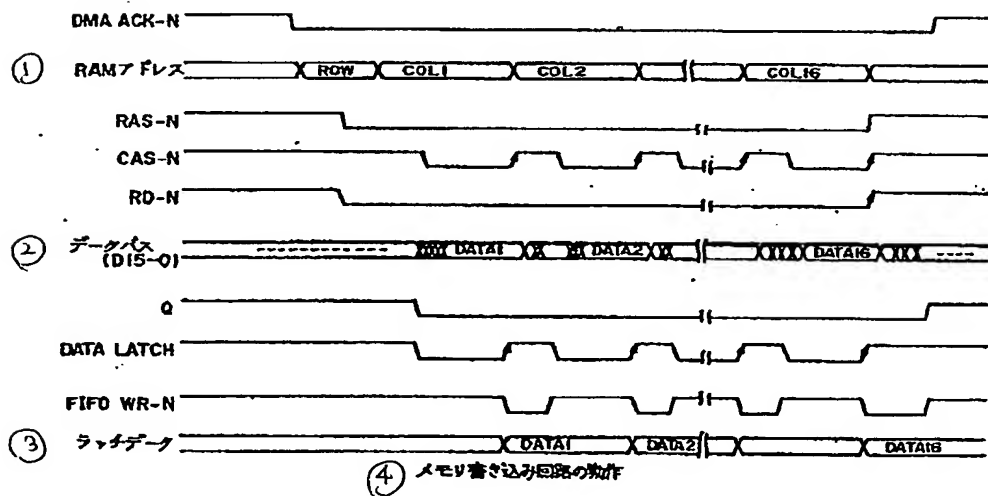
【図14】



【図15】



【図16】



【図17】

